

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-352509

(43)Date of publication of application : 24.12.1999

(51)Int.Cl.

G02F 1/1345

G02F 1/133

G09F 9/00

(21)Application number : 10-163531

(71)Applicant : ADVANCED DISPLAY INC

(22)Date of filing : 11.06.1998

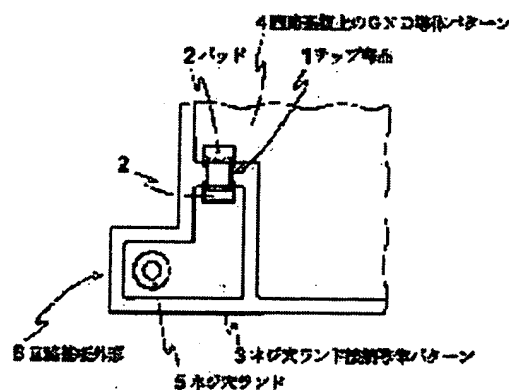
(72)Inventor : TASHIRO TOMOHIRO

## (54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To decrease the number of trial manufacture for substrates and to shorten the development cost and period by connecting a GND connection points to a casing on a circuit board and the GND on the circuit board, only via packaging of chip parts.

**SOLUTION:** When chip part 1 is mounted to pads 2, a GND conductor patterns 4 on the circuit board are connected via screw hole land connection conductor patterns 3 to screw hole lands 5 which are formed as through-holes. The metal screws used for these screw holes are connected to a frame, and the GND conductor patterns 4 are GND connected. If a frame GND(FG) connection by mounting of such chip parts 1 is made at all the connection points on the circuit board, the easy changing of the FG connection state by the choice on whether to change to mount or not to package the chip parts 1 is made possible. Thus, the evaluation design for optimization of lowering the level of electromagnetic unwanted radiation noise (EMI) can be made easily. A 0  $\Omega$  resistor is preferably used as the chip parts 1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-352509

(43) 公開日 平成11年(1999)12月24日

(51) Int. Cl.<sup>5</sup>

識別記号

FI

G02F 1/1345

G02F 1/1346

1/133

505

1/133

505

G09F 9/00

309

G09F 9/00

309Z

審査請求 未請求 願求項の数 6 OL (全 6 頁)

(21) 出願番号

特願平10-163531

(71) 出願人 595059058

株式会社アドバンスト・ディスプレイ  
熊本県菊池郡西合志町御代志997番地

(22) 出願日

平成10年(1998)6月11日

(72) 発明者 田代 智裕

熊本県菊池郡西合志町御代志997番地 株式会社アドバンスト・ディスプレイ内

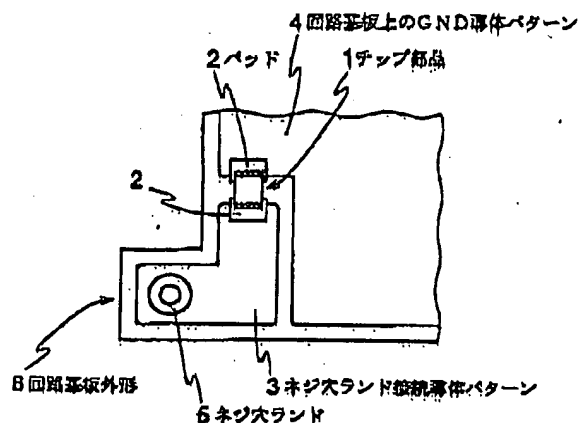
(74) 代理人 弁理士 朝日奈 宗太 (外1名)

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 本発明は、フレームと回路基板とのGND接続、インターフェースケーブルのシールドGNDと回路基板GNDとの接続といった多数ある様々なGNDとの接続箇所数・位置をEMI評価時にチップ部品の実装の有無を選択することにより最適化することのできる液晶表示装置を提供する。

【解決手段】 本発明の液晶表示装置は、回路基板上の筐体とのGND接続箇所を複数持ち、その接続箇所と回路基板上のGNDとを0Ω抵抗などのチップ部品の実装のみを介することによって回路基板全体と筐体とがGND接続されてなることを特徴とする。



## 【特許請求の範囲】

【請求項1】 回路基板上における筐体とのGND接続箇所を複数持ち、その接続箇所と回路基板上のGNDとをチップ部品の実装のみを介することによって回路基板全体と筐体とがGND接続されてなることを特徴とする液晶表示装置。

【請求項2】 前記筐体と1つのGND接続箇所につき複数個のチップ部品が備えられてなる請求項1記載の装置。

【請求項3】 前記チップ部品が0Ω抵抗である請求項2記載の装置。

【請求項4】 表示信号を発生するシステム側と電気的に接続され、かつ、信号用GND以外のシールド用GNDとなる外皮導体を持つインターフェースコネクタを搭載する液晶表示装置において、回路基板上における液晶表示装置の筐体との接続部分と、前記コネクタにおけるシールドGNDに電気的に接続されるコネクタ補強用パッドとが導体パターンおよび第1のチップ部品実装で接続され、前記筐体との接続部分と回路基板上のGNDとを第2のチップ部品の実装のみを介することによって回路基板全体と前記筐体とがGND接続されてなることを特徴とする液晶表示装置。

【請求項5】 前記筐体との1つのGND接続箇所につき複数個の前記第2のチップ部品が設けられてなる請求項4記載の装置。

【請求項6】 前記第2のチップ部品が0Ω抵抗である請求項5記載の装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置と回路基板の接続方法に関するものである。

【0002】

【従来の技術】液晶表示装置においては、液晶表示にかかわる電源や電気信号の制御のための制御回路などが備えられている種々の回路基板が含まれている。これらの回路基板は、電磁不要輻射ノイズ（Electro-Magnetic Interference）（以下、「EMI」という）低減のために、多数設けられている回路基板上のGNDと導電性筐体（以下、「フレーム」と表記する）とのGND接続の最適化は通常、回路基板の試作時の評価において試行錯誤的に行われる。その結果によっては、評価時には導体パターンにて接続されていた回路基板とフレームとのGND接続を回路基板上の全箇所、あるいは部分的に絶縁する必要が生じる場合がある。絶縁する方法は、

（ア）回路基板とフレームとがネジにて組み立てられる場合には、金属製ネジではなく樹脂製ネジを用いる、あるいは（イ）スルーホール化されているネジ穴と回路基板GNDとを非接続とするように導体パターンが分離されて形成された別基板を用意する、といったことによって行われている。樹脂製ネジのばあいには金属製に比べ

て、（1）強度が劣るためにネジ山がつぶれやすい（特に電動ドライバーを用いるばあいは顕著）、（ii）ネジ自体がコスト高である、または（iii）ネジ種類が増え組み立て時の作業性が悪くなる（金属製ネジと混在したばあい、作業者が間違える可能性が高くなる）といった問題があるために採用しづらい（量産には不向き）。そのため、回路基板とフレームとの組み立てには金属製ネジを用いており、回路基板とフレームとの絶縁は通常は回路基板上のネジ穴ランドとのパターン分離により行われるが、回路基板の再製作又は別基板を同時に用意するといったことが強いられ、開発費用あるいは期間の増大を招く。また、図4に示すようなLVDS（Low Voltage Differential Signaling）インターフェースに使用されるGNDシールド付きのコネクタ（日本航空電子製：F1-WE-21P-HF）があり、図5に示した回路基板上の部品パッドのようにコネクタ外皮部分のシールド導体はコネクタ補強用パッド10に電気的に接続されており、内部ピンと分離可能となっている。前述のフレームGND（以下、「FG」という）は、回路基板上の信号用GND（以下、「SG」という）と区別できるが、その扱いを誤ると、フレームと回路基板との間隙による容量成分などに起因する共振現象が生じるといった具合にフレームまたはケーブル自体がアンテナとなって不要輻射ノイズが大きくなる場合がある。したがって、表示信号を発生するシステム側から液晶表示装置へのインターフェースケーブルにおける外皮導体部分のGNDが電位的に安定しているばあいにはこの外皮導体部分のGNDを利用するシールド効果が期待できる。しかしながら、図8、図9のように回路のGNDと一括接続（補強用パッド10の下部の引き出しパターンから他層のGNDベタパターンへの内層接続パイアホール12）されるとそのシールド効果がグラウンドバウシング（ICスイッチング時の電流、回路基板における浮遊容量および浮遊誘導性のノイズなどに起因する電位的揺れ）により、逆に悪影響を及ぼすことがある。こういったことから、製品毎にEMIノイズレベルを測定して試行錯誤的な対策を行っている現状では、フレーム、回路基板またはインタフェースケーブルなどの各GND状態の最適化を行うことが必要となっている。したがって、図10に示すように回路基板のGNDを全箇所同様に導体パターンで接続（一括接続）したばあいには前述のGND接続状態の最適化が容易に行えない。

【0003】

【発明が解決しようとする課題】従来のようにFG接続位置・数を検討するには、ばあいの数だけ基板を用意する、あるいはFG接続箇所全てにパターンにて接続した状態で絶縁ネジ等による絶縁を行って最適となるFG接続状態を把握してから、絶縁する箇所をパターン分離するというように再製作する必要がある。

【0004】本発明は、フレームと回路基板とのGND

接続、インターフェースケーブルのシールドGNDと回路基板GNDとの接続といった多数ある様々なGNDとの接続箇所数・位置を、EMI評価時にチップ部品の実装の有無を選択することにより最適化することによって基板試作回数を削減し、開発費用・期間短縮化を図ることを目的としている。

#### 【0005】

【課題を解決するための手段】本発明の請求項1にかかわる液晶表示装置は、回路基板上における筐体とのGND接続箇所を複数持ち、その接続箇所と回路基板上のGNDとをチップ部品の実装のみを介することによって回路基板全体と筐体とがGND接続されてなることを特徴とする。

【0006】本発明の請求項2にかかわる液晶表示装置は、前記筐体と1つのGND接続箇所につき複数個のチップ部品が備えられている。

【0007】本発明の請求項3にかかわる液晶表示装置は、前記チップ部品が0Ω抵抗である。

【0008】本発明の請求項4にかかわる液晶表示装置は、表示信号を発生するシステム側と電気的に接続され、かつ、信号用GND以外のシールド用GNDとなる外皮導体を持つインターフェースコネクタを搭載する液晶表示装置において、回路基板上における液晶表示装置の筐体との接続部分と、前記コネクタにおけるシールドGNDに電気的に接続されるコネクタ補強用パッドとが導体パターンおよび第1のチップ部品実装で接続され、前記筐体との接続部分と回路基板上のGNDとを第2のチップ部品の実装のみを介することによって回路基板全体と前記筐体とがGND接続されていることを特徴とする。

【0009】本発明の請求項5にかかわる液晶表示装置は、前記筐体との1つのGND接続箇所につき複数個の前記第2のチップ部品が設けられている。

【0010】本発明の請求項6にかかわる液晶表示装置は、前記第2のチップ部品が0Ω抵抗である。なお、本明細書中で使用される「0Ω抵抗」とは、両電極間が導電体で接続され短絡されている状態におけるこの電極間の抵抗をいうものとする。

#### 【0011】

【発明の実施の形態】以下、添付図面を参照しつつ、さらに詳細に本発明の実施の形態について説明する。

#### 【0012】実施の形態1

図1は回路基板上におけるフレームとのGND接続部分の拡大説明図であり、本発明の実施の形態1の一例を示した図である。また、図3はその拡大部分を回路基板全体に拡張したものである。チップ部品1をパッド2に実装すればネジ穴ランド接続導体パターン3を介してスルーホール化されているネジ穴ランド5に接続され、このネジ穴に用いられる金属ネジがフレームと接続され、したがってGND接続される。逆にチップ部品1を未実装

とすれば、前記ネジ穴に用いられるネジが金属ネジであってもFGと分離できる。このチップ部品を実装することによるFG接続を回路基板上の全接続箇所に行えば、チップ部品を実装する、または、しないという選択または変更によりFG接続状態を容易に変更でき、製品ごとにEMIノイズレベルを測定しておこなうEMIレベル低減の最適化の評価設計が容易に行なえる。このとき用いられるチップ部品としては、表面実装部品であるという要件を満たすものとし、たとえば、0Ω抵抗を用いることができる。また、0Ω抵抗とは、両電極間が導電体で接続され短絡しているものである。

#### 【0013】実施の形態2

図2は本発明の実施の形態2の一例を示した図であり、実施の形態1を拡張したものとなっている。つまり、1接続箇所に複数個のチップ部品を介することによって、より強固なGND接続が可能となる。また、部品配置制限がなければ回路基板上の全接続箇所に適用することによって実施の形態1と同様にFG接続状態を容易に変更でき、EMIレベル低減化の最適化が図れる。

#### 【0014】実施の形態3

図6は本発明の実施の形態3の一例を示した図であり、本実施の形態にかかわる液晶表示装置においては、表示信号を発生するシステム側と電気的に接続され、かつ、信号用GND以外のシールド用GNDとなる外皮導体をもつインターフェースコネクタが搭載される場合がある。FGとの接続となるネジ穴ランド5、回路基板上のGND導体パターン14(SG)、およびシールドGNDと接続されたコネクタ補強用パッド10を、それぞれ互いにチップ部品を介することによってチップ部品実装の配置および個数について様々な場合が検討でき、EMIレベル評価により容易に最適化が図れる。この際、ネジ穴はスルーホールであるため、図7に示した内層回路基板ベタGNDパターン17(多層回路基板の場合には通常、内層に設けられる)とは分離を行うためにクリアランス部16を設けている。なお、FG接続がネジ穴ではなく19に示すようなフレームと直接接続するパッドのばあいも同様である。

#### 【0015】

【発明の効果】請求項1～6に係わる発明によれば、導体パターンを変更した回路基板を再試作することなくEMIレベル低減の最適化が行え、開発費用・期間短縮化が図れる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態1の回路基板上の導体パターンとチップ部品実装の一例を示す説明図である。

【図2】本発明の実施の形態2の回路基板上の導体パターンとチップ部品実装の一例を示す説明図である。

【図3】本発明の実施の形態1の回路基板全体の導体パターンとチップ部品実装の一例を示す説明図である。

【図4】シールドGND付きコネクタの一例を示す説明

10

20

30

40

50

図である。

【図5】図4の回路基板上のパッドの一例を示す説明図である。

【図6】本発明の実施の形態3の回路基板の内層のCNDベタ導体パターンの一例を示す説明図である。

【図7】本発明の実施の形態3の回路基板の内層のCNDベタ導体パターンの一例を示す説明図である。

【図8】従来の、回路基板上のI.V.D.SコネクタパッドとFC接続箇所周辺の導体パターンの一例を示す説明図である。

【図9】従来の、回路基板上のI.V.D.SコネクタパッドとFC接続箇所周辺の導体パターンの一例を示す説明図である。

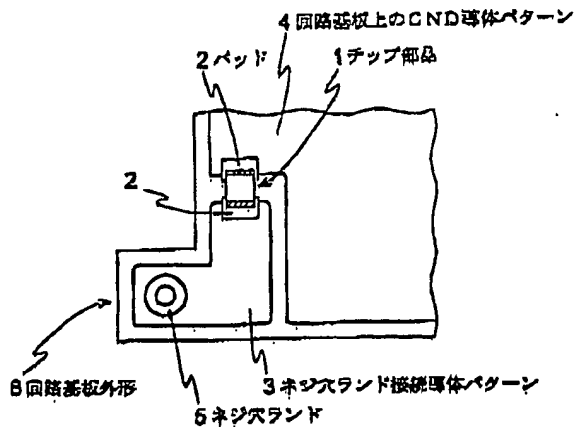
【図10】従来の回路基板全体のFC接続と導体パターンの一例を示す説明図である。

【符号の説明】

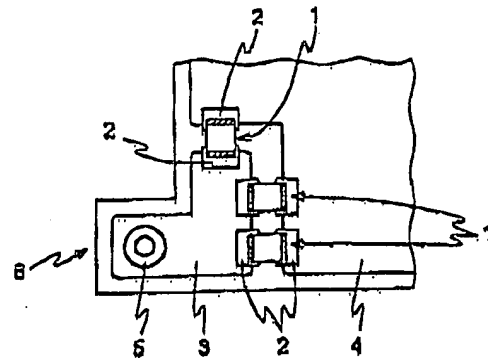
- 1, 20, 21, 22 チップ部品  
2 パッド  
3 ネジ穴ランド接続導体パターン

- 4 回路基板上のCND導体パターン  
5, 5a, 5b, 5c ネジ穴ランド  
6 回路基板外形  
7 コネクタ外皮導体  
8 端子  
9 コネクタ絶縁体  
10 コネクタ補強用パッド  
11 コネクタ端子パッド  
12 内層接続バイアホール  
13 コネクタ補強パッドとFC及びSG接続チップ部品間の導体パターン  
14 回路基板上のGND導体パターン  
15 ネジ穴部分  
16 クリアランス部分  
17 内層回路基板ベタGNDパターン  
18 回路基板上の筐体接続部分パッドとコネクタ補強用パッドとを接続する導体パターン  
19 筐体と直接接続するパッド

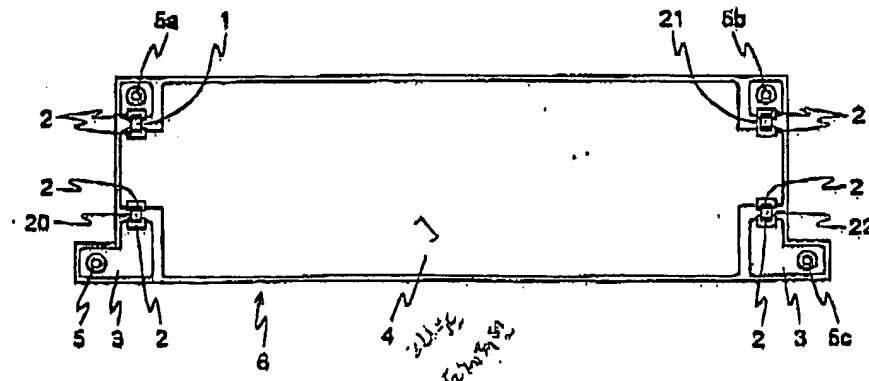
【図1】



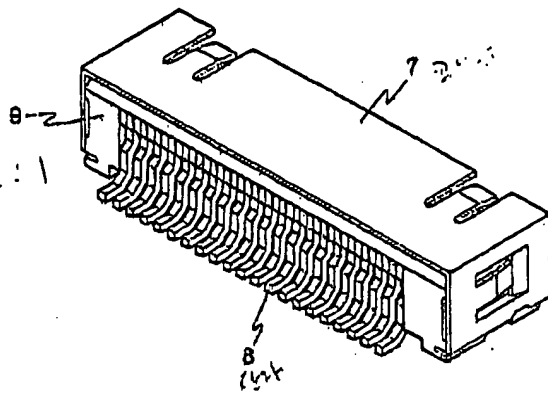
【図2】



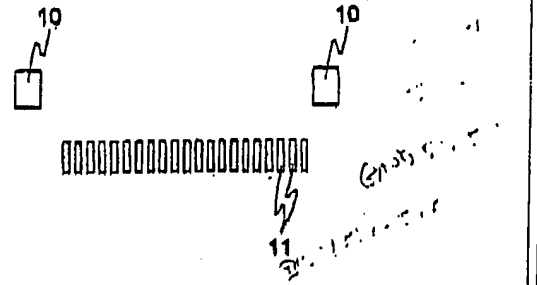
【図3】



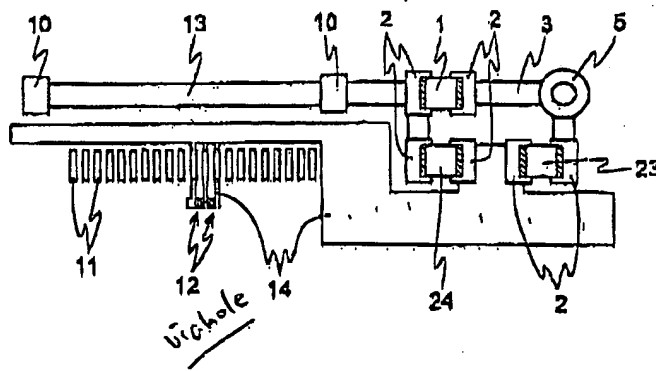
【図4】



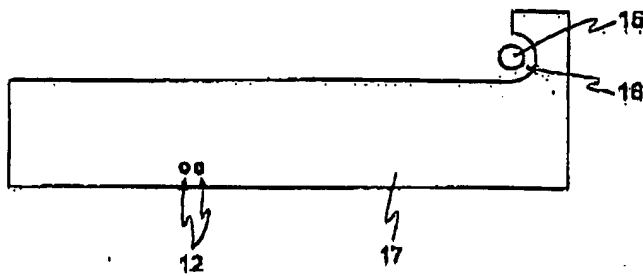
【図5】



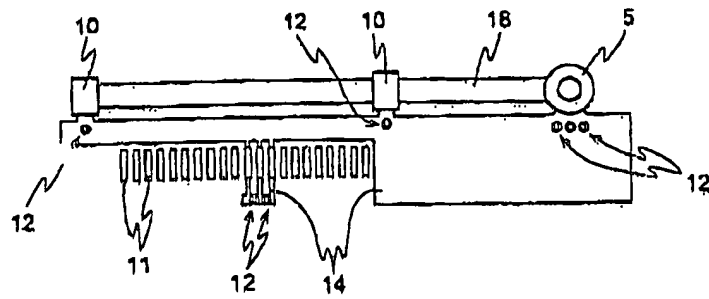
【図6】



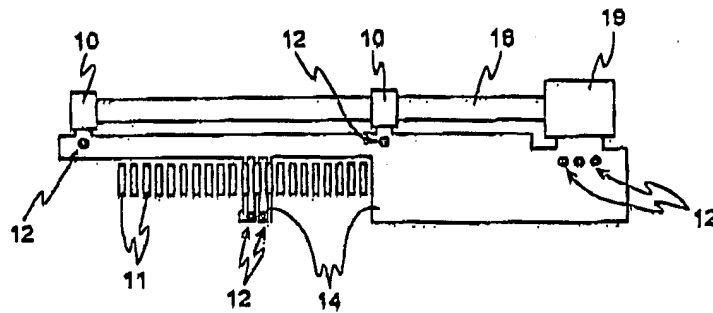
【図7】



【図 8】



【図 9】



【図 10】

